

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2000151112
 PUBLICATION DATE : 30-05-00

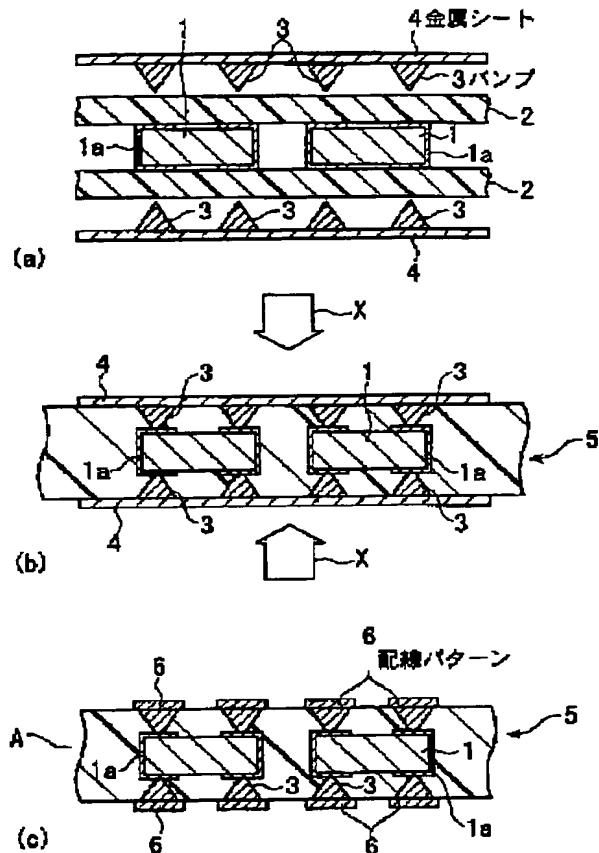
APPLICATION DATE : 10-11-98
 APPLICATION NUMBER : 10319159

APPLICANT : TOSHIBA CORP;

INVENTOR : ITO KENJI;

INT.CL. : H05K 3/46

TITLE : WIRING BOARD AND ITS
 MANUFACTURE



ABSTRACT : PROBLEM TO BE SOLVED: To increase packaging density without reducing the sizes of electronic components by burying electronic components in the main body of a synthetic resin substrate.

SOLUTION: Chip components 1 are put and positioned between inner faces of a pair of synthetic resin sheets 2. Next, a metal sheet 4 which is formed on one face with conical or pyramidal-bumps 3 are laid on an outer face of each of the synthetic resin sheets 2, with the face formed with the bumps facing the sheet 2. Then, this multilayer body is pressed in the direction shown by an arrow X under heat. By this pressing, the synthetic resin sheets 2 melt and enter spaces between the chip components 1, integrating the synthetic resin and the chip components 1. During this process, the bumps 3 are buried in the main body 5 of a substrate to be electrically connected to electrodes 1a. As a result, the synthetic resin sheets 2 and the metal sheets 4 are integrated into the main body 5 of a substrate. Thereafter, the metal sheets 4 are patterned into wiring patterns 6.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-151112

(P2000-151112A)

(43)公開日 平成12年5月30日(2000.5.30)

(51)Int.Cl.⁷

H 05 K 3/46

識別記号

F I

H 05 K 3/46

テマコト[®](参考)

Q 5 E 3 4 6

審査請求 未請求 請求項の数9 O.L (全7頁)

(21)出願番号 特願平10-319159

(22)出願日 平成10年11月10日(1998.11.10)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 伊藤 健志

神奈川県横浜市磯子区新磯子町33番地 株式会社東芝生産技術研究所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5E346 AA12 AA15 AA32 AA35 BB01

BB02 BB03 BB04 BB16 CC08

DD02 DD12 DD32 EE02 EE06

EE07 EE08 EE13 EE31 FF24

FF45 GG22 GG28 HH06 HH25

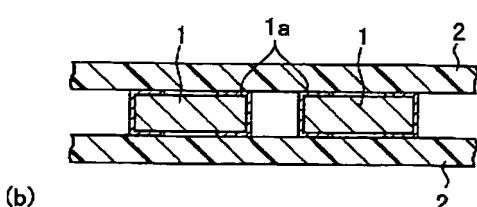
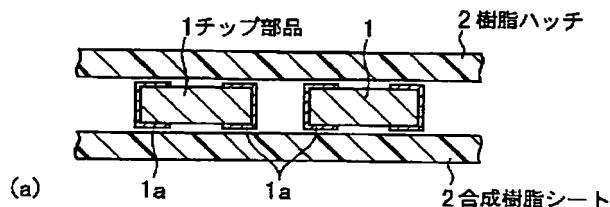
HH33

(54)【発明の名称】配線基板及びその製造方法

(57)【要約】

【課題】 この発明は電子部品の実装密度を向上させることができるようにした配線基板の製造方法を提供することにある。

【解決手段】 少なくとも一方の面に配線パターン6が形成される配線基板の製造方法において、一対の合成樹脂シート2の間にチップ部品1を設ける工程と、上記一対の合成樹シートの少なくとも一方に金属シート4をその板面に形成されたバンプ3を接触させて重合し、この重合体を加熱加圧して一対の合成樹脂シートを一体化して基板本体5を形成するとともに上記バンプを基板本体に埋め込んで上記チップ部品の電極1aに接続する工程と、上記金属シートをパターニングして上記バンプと電気的に接続された配線パターン6を形成する工程とを具備したことを特徴とする。



【特許請求の範囲】

【請求項1】少なくとも一方の面に配線パターンが形成される配線基板において、第1の電子部品が内蔵された電気絶縁性の基板本体と、一端が上記第1の電子部品の電極に接続され他端に上記配線パターンが電気的に接続された導電性のバンプとを具備したことを特徴とする配線基板。

【請求項2】上記配線パターンには第2の電子部品が実装されることを特徴とする請求項1記載の配線基板。

【請求項3】上記基板本体の配線パターンが形成された面には、少なくとも一層の合成樹脂製の絶縁層が接合され、この絶縁層には上層配線パターンが形成されるとともに、この上層配線パターンと上記絶縁層によって覆われた配線パターンとは上記絶縁層に貫通して設けられた導電性の層間バンプによって電気的に接続されていることを特徴とする請求項1記載の配線基板。

【請求項4】最も外側に位置する絶縁層の配線パターンには、第2の電子部品が実装されることを特徴とする請求項3記載の配線基板。

【請求項5】少なくとも一方の面に配線パターンが形成される配線基板の製造方法において、一対の合成樹脂シートの間に第1の電子部品を設ける工程と、

上記一対の合成樹脂シートの少なくとも一方に金属シートをその板面に形成されたバンプを接触させて重合し、この重合体を加熱加圧して一対の合成樹脂シートを一体化して基板本体を形成するとともに上記バンプを基板本体に埋め込んで上記第1の電子部品の電極に接続する工程と、

上記金属シートをパターニングして上記バンプと電気的に接続された配線パターンを形成する工程とを具備したことを特徴とする配線基板の製造方法。

【請求項6】上記配線パターンに第2の電子部品を実装する工程を備えていることを特徴とする請求項5記載の配線基板の製造方法。

【請求項7】上記基板本体の配線パターンが形成された板面に絶縁層を接合する工程と、この絶縁層に上層金属シートをその板面に形成された層間バンプを接触させて重合し、上記上層金属シートを介して上記絶縁層を加熱加圧してこの絶縁層を上記基板本体と一体化するとともに上記層間バンプを上記絶縁層に埋め込んで上記基板本体の配線パターンに電気的に接続する工程と、上記金属シートをパターニングして上記バンプと電気的に接続された上層配線パターンを形成する工程とを具備したことを特徴とする請求項5記載の配線基板の製造方法。

【請求項8】請求項7に記載された工程を複数回繰り返すことを特徴とする請求項5記載の配線基板の製造方法。

【請求項9】最も外側に位置する絶縁層に形成された上層配線パターンに第2の電子部品を実装する工程を備えたことを特徴とする請求項7または請求項8記載の配線基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は電子部品が実装される配線基板およびその製造方法に関する。

【0002】

【従来の技術】たとえば、パソコンなどのデジタル機器には従来からノイズ対策としてコンデンサや抵抗が使用されている。近年では実装技術の発達に伴い、抵抗やコンデンサなどの電子部品はそのほとんどがチップ部品に置き換わっている。

【0003】デジタル機器の動作周波数の向上とともに、ノイズ対策部品が増加しており、配線基板に占めるチップ部品の面積が問題になっている。

【0004】また、携帯電話のようにアナログ回路を有する機器では、個別の抵抗、コンデンサ、インダクタが必要になる。携帯電話のように、小型化が著しい機器においては、LSIの統合、チップサイズパッケージの採用だけでは必ずしも十分でなくなってきた。

【0005】そこで、チップ部品を小型化する傾向にあるものの、小型化によって接続信頼性が確保し難くなるため、実用化には問題がある。

【0006】

【発明が解決しようとする課題】このように、配線基板の実装密度を向上させるために、電子部品を小型化するようにしたのでは、その電子部品の接続信頼性が低下するということがあり、また電子部品の小型化には限界がある。

【0007】この発明は、電子部品を小型化しなくとも実装密度を向上させることができるようにした配線基板及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】請求項1の発明は、少なくとも一方の面に配線パターンが形成される配線基板において、第1の電子部品が内蔵された電気絶縁性の基板本体と、一端が上記第1の電子部品の電極に接続され他端に上記配線パターンが電気的に接続された導電性のバンプとを具備したことを特徴とする。

【0009】請求項1の発明により、基板に内蔵された第1の電子部品は基板本体の実装可能面積を減少させることがないから、その分、つまり第1の電子部品が占有する面積分だけ実装密度を向上させることができる。

【0010】請求項2の発明は、請求項1の発明において、上記配線パターンには第2の電子部品が実装されることを特徴とする。

【0011】請求項2の発明により、基板の表面に、第1の電子部品に関わりなく第2の電子部品を実装できる

から、第2の電子部品の実装密度を向上させることができる。

【0012】請求項3の発明は、請求項1の発明において、上記基板本体の配線パターンが形成された面には、少なくとも一層の合成樹脂製の絶縁層が接合され、この絶縁層には上層配線パターンが形成されるとともに、この上層配線パターンと上記絶縁層によって覆われた配線パターンとは上記絶縁層に貫通して設けられた導電性の層間バンプによって電気的に接続されていることを特徴とする。

【0013】請求項3の発明により、基板本体と絶縁層に配線パターンが形成されることで、配線パターンの高密度化を計ることができる。

【0014】請求項4の発明は、請求項3の発明において、最も外側に位置する絶縁層の配線パターンには、第2の電子部品が実装されることを特徴とする。

【0015】請求項4の発明により、電子部品の実装密度を向上できるばかりか、配線パターンの高密度化を計ることができることで、最も外側に位置する絶縁層の配線パターンには端子数の多い第2の電子部品を実装することが可能となる。

【0016】請求項5の発明は、少なくとも一方の面に配線パターンが形成される配線基板の製造方法において、一対の合成樹脂シートの間に第1の電子部品を設ける工程と、上記一対の合成樹脂シートの少なくとも一方に金属シートをその板面に形成されたバンプを接触させて重合し、この重合体を加熱加圧して一対の合成樹脂シートを一体化して基板本体を形成するとともに上記バンプを基板本体に埋め込んで上記第1の電子部品の電極に接続する工程と、上記金属シートをパターニングして上記バンプと電気的に接続された配線パターンを形成する工程とを具備したことを特徴とする。

【0017】請求項5の発明により、第1の電子部品が基板本体に埋設されることで、この基板本体に対する実質的な実装密度を向上させることができる。

【0018】請求項6の発明は、請求項5の発明において、上記配線パターンに第2の電子部品を実装する工程を備えていることを特徴とする。

【0019】請求項6の発明により、基板本体に対する電子部品の実装密度を向上させることができる。

【0020】請求項7の発明は、請求項5の発明において、上記基板本体の配線パターンが形成された板面に絶縁層を接合する工程と、この絶縁層に上層金属シートをその板面に形成された層間バンプを接触させて重合し、上記上層金属シートを介して上記絶縁層を加熱加圧してこの絶縁層を上記基板本体と一体化するとともに上記層間バンプを上記絶縁層に埋め込んで上記基板本体の配線パターンに電気的に接続する工程と、上記金属シートをパターニングして上記バンプと電気的に接続された上層配線パターンを形成する工程とを具備したことを特徴と

する。

【0021】請求項7の発明により、基板本体と絶縁層にそれぞれ配線パターンが形成されることで、配線パターンの高密度化を計ることができる。

【0022】請求項8の発明は、請求項5の発明において、請求項7に記載された工程を複数回繰り返すことを特徴とする。

【0023】請求項8の発明により、基板本体と複数の絶縁層に配線パターンが形成されることで、配線パターンの高密度化を計ができる。

【0024】請求項9の発明は、請求項7または請求項8の発明において、最も外側に位置する絶縁層に形成された上層配線パターンに第2の電子部品を実装する工程を備えたことを特徴とする。

【0025】請求項9の発明により、電子部品の実装密度を向上できるばかりか、配線パターンの高密度化を計ることが可能となり、最も外側に位置する絶縁層の配線パターンには端子数の多い第2の電子部品を実装することが可能となる。

【0026】

【発明の実施の形態】以下、この発明の実施の形態を図面を参照して説明する。

【0027】図1乃至図3はこの発明の第1の実施形態の配線基板Aの製造方法を示す。まず、図1(a)に示すように第1の電子部品であるチップ部品1を一対の合成樹脂シート2の内面間に挟み込み、同図(b)に示すように上記チップ部品1を上記合成樹脂シート2間で位置決めする。

【0028】上記チップ部品1としては抵抗やコンデンサなどで、通常そのサイズによって1005(1mm×0.5mmサイズ)や0603(0.6mm×0.3mmサイズ)呼ばれる小型のものが用いられることが多い。

【0029】上記合成樹脂シート2としては熱硬化性合成樹脂や熱可塑性合成樹脂が用いられ、たとえばB T樹脂やP P E樹脂が用いられる。合成樹脂シート2は上記チップ部品1の厚さの2分の1以上の厚さを有することが望ましく、この実施の形態ではチップ部品1の厚さとほぼ同じ厚さの合成樹脂シート2が用いられている。

【0030】それによって、後述するごとく一対の合成樹脂シート2を加熱軟化(熱硬化性樹脂の場合)あるいは加熱溶融(熱可塑性樹脂の場合)してチップ部品1をこれら合成樹脂シート2に埋設したときに、そのチップ部品1が外部に露出するのを防止することができる。

【0031】つぎに、図2(a)に示すように一対の合成樹脂シート2の外間にそれぞれ一方の板面に円錐状あるいは角錐状のバンプ3が形成された金属シート4を、そのバンプ3が形成された面を対向させて重合してから、この重合体を加熱しながら同図(b)に矢印Xで示す方向に加圧する。

【0032】重合体が加圧されることで、合成樹脂シート2は溶融して図2(a)に示すチップ部品1間の隙間に入り込んで合成樹脂とチップ部品1とが一体化されるとともに、上記金属シート4に形成されたバンプ3は上記基板本体5内に埋め込まれて上記チップ部品1の電極1aに電気的に接続される。その結果、図2(b)に示すように合成樹脂シート2と金属シート4とが一体化された基板本体5が形成される。

【0033】上記金属シート4は銅やアルミニウムなどの電気抵抗の少ない金属が用いられ、この実施の形態では通常の配線基板の配線パターンに用いられる厚さ18μmの電解銅箔が用いられている。

【0034】上記バンプ3は上記金属シート4にポリマータイプの銀系ペーストを印刷して形成される。印刷を行うにはマスクが用いられる。マスクとしては厚さ100μmのステンレス鋼板の所定の位置に数10μm以下の径の孔が開けられたメタルマスクが用いられる。

【0035】このようにして金属シート4を合成樹脂シート2と一体化したならば、図2(c)に示すように上記金属シート4をパターニングして配線パターン6を形成する。金属シート4のパターニングは、この金属シート4にエッティングレジストを印刷してエッティング加工を行い、ついでそのレジストをアルカリ水溶液で剥離除去すれば、図2(c)に示すように基板本体5の両面に配線パターン6が形成された配線基板Aを得ることができる。

【0036】図3(a)～(c)は図2(c)に示す配線基板Aから多層配線基板Bを製造する工程を示しており、同図(a)は基板本体5の配線パターン6が形成された両面に絶縁層である層間合成樹脂シート11および板面の所定の位置に層間バンプ12が形成された上層金属シート13を順次対向させる。

【0037】つぎに、同図(b)に示すように、基板本体5に対して上記層間合成樹脂シート13と上層金属シート13とを重合し、この重合体を加熱しながら同図(b)に矢印Yで示す方向に加圧する。

【0038】その結果、上記層間合成樹脂シート13は溶融して基板本体5と一体化されるとともに、層間バンプ12は層間合成樹脂シート13内に入り込み、基板本体5の配線パターン6と電気的に接続される。

【0039】層間バンプ12を配線パターン6に電気的に接続したならば、上記上層金属シート13をエッティング加工することで、上層配線パターン14を形成するから、配線パターン6、14が4層構造の多層配線基板Bを構成することができる。

【0040】そして、この多層配線基板Bの上層配線パターン14には図3(c)に鎖線で示すように第2の電子部品としてたとえばボールグリッドアレイパッケージ15が実装される。

【0041】なお、上層金属シート13に層間バンプ1

2を形成する方法や上層金属シート13をパターニングする方法は配線基板Aを形成するときと同じ方法で行えればよい。

【0042】このように、基板本体5の内部に第1の電子部品であるチップ部品1を埋め込むようにしたことで、多層配線基板Bの上層配線パターン14が形成された面上に上記チップ部品1を実装せずにすむ。そのため、多層配線基板Bの板面全体を第2の電子部品を実装するために利用することができるから、多層配線基板B全体としての実装密度を向上させることができる。

【0043】しかも、チップ部品1の電極1aと配線パターン6とは、基板本体5を形成する際に、金属シート4に形成されたバンプ3によって電気的に接続することができる。つまり、チップ部品1の電極1aと配線パターン6とを、基板本体5を製造する過程で接続することができ、接続のための専用の作業を行う必要がないから、チップ部品1の実装作業の能率向上を計ることができる。

【0044】配線パターン6、14を4層構造とした多層配線基板Bとすることで、配線密度を向上させることができます。それによって、第2の電子部品が端子数の多いボールグリッドアレイパッケージ15などであっても、その多層配線基板Bに実装することが可能となる。

【0045】図4はこの発明の第2の実施形態の多層配線基板Cを示す。この実施の形態の多層配線基板Cは基板本体5に埋設されたチップ部品1は、たとえばデカップリング・コンデンサであって、この基板本体5の一方の面に形成された配線パターン6aはグランド層31として使用され、他方の面に形成された配線パターン6aが電源層32として使用される。

【0046】基板本体5の上下両面には、それぞれ第1の上層合成樹脂シート21、第1の上層金属シート(図示せず)および第2の合成樹脂シート23及び第2の上層金属シート(図示せず)が順次積層される。上記第1、第2の上層金属シートは、エッティング加工されることで、配線パターン6b、6cに形成される。

【0047】それによって、この多層配線基板Cは上下にそれぞれ3層の配線パターン6a、6b、6cが形成された6層構成となっていて、図面における下側の配線パターン6cには第2の電子部品としてのフラットパッケージ25が実装され、上面には第1の電子部品であるチップ部品1や第2の電子部品であるボールグリッドアレイパッケージ15などが実装される。

【0048】なお、上記各層間金属シートには層間バンプ22、24が設けられ、これら層間バンプ22、24によって3層の配線パターン6a、6b、6cが互いに電気的に接続されるようになっている。

【0049】このような構成の配線基板Cによれば、基板本体5に埋設されたデカップリング・コンデンサであるチップ部品1を、グランド層31となる配線パターン

6 a 及び電源層 3 2 となる配線パターン 6 a に対して十分に近づけて配置することができるから、これらの間のインダクタンスが小さくなり、チップ部品 1 のデカッピング・コンデンサとしての機能を効果的に発揮させることができる。

【0050】図5はこの発明の第3の実施の形態の多層配線基板Dを示す。この実施の形態の多層配線基板Dは第2の実施の形態と同様、配線パターンが上下に3層ずつ形成された6層構造であり、基板本体5の上面側の配線パターン6 aはグランドパターン3 3として利用され、同じく上面側の第3層の配線パターン6 cは信号線3 4として利用される。

【0051】基板本体5に埋設される複数のチップ部品1のうちの1つは終端抵抗であって、この終端抵抗1は上記グランドパターン3 3となる配線パターン6 cと、信号線3 4となる配線パターン6 cとの間に接続される。

【0052】終点抵抗である上記チップ部品1を基板本体5に埋設することで、このチップ部品1の一方の電極1 aはグランドパターン3 3となる配線パターン6 aにバンプ3を介して直接的に接続することができる。

【0053】そのため、上記チップ部品1に対しては信号線3 4となる配線パターン6 cを接続するだけでよいから、上記チップ部品1に対する接続が容易となるばかりか、チップ部品1とグランドパターン3 3となる配線パターン6 aとの接続長さをほとんどなくすことができるから、電気的特性の向上を計ることが可能となる。

【0054】なお、第3の実施の形態において、図4に示す第2の実施の形態と同一部分には同一記号を付して説明を省略する。

【0055】この発明は上記各実施の形態に限定されず、種々変形可能である。たとえば、上記各実施の形態では基板本体の上下両面に配線パターンを形成したが、いずれか一方の面だけに配線パターンを形成する構成であっても差し支えない。そのような基板本体をもとにして多層配線基板を形成する場合、配線パターンが形成さ

れた一方の面につぎの絶縁層と配線パターンとを順次形成すればよいこと勿論である。

【0056】

【発明の効果】以上のようにこの発明によれば、合成樹脂製の基板本体内に電子部品を埋設するようにしたから、電子部品を基板の表面だけに実装する場合に比べてその実装密度を向上させることができる。

【0057】しかも、基板本体を製造する過程で、配線パターンと、その基板本体に埋設される電子部品とを電気的に接続することができるため、生産性の向上を計ることができる。

【図面の簡単な説明】

【図1】(a), (b)はこの発明の第1の実施の形態の基板本体の製造工程を示す説明図。

【図2】同じく(a)～(c)はこの発明の第1の実施の形態の基板本体の製造工程を示す説明図。

【図3】同じく(a)～(c)はこの発明の第1の実施の形態の多層配線基板の製造工程を示す説明図。

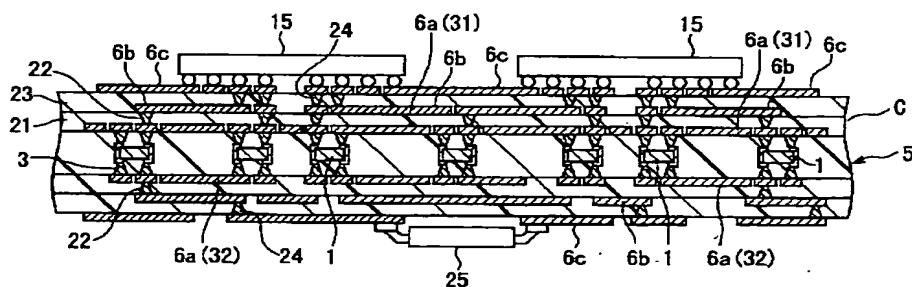
【図4】この発明の第2の実施の形態の多層配線基板を示す断面図。

【図5】この発明の第3の実施の形態の多層配線基板を示す断面図。

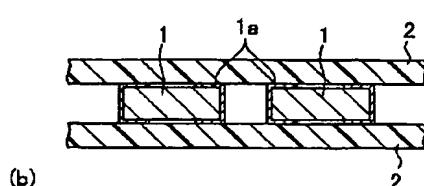
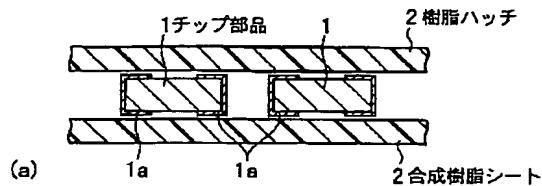
【符号の説明】

- 1…チップ部品（第1の電子部品）
- 1 a…電極
- 2…合成樹脂シート
- 3…バンプ
- 4…金属シート
- 5…基板本体
- 6…配線パターン
- 1 1…層間合成樹脂シート
- 1 2…層間バンプ
- 1 3…上層金属シート
- 1 5…ボールグリッドアレイパッケージ（第2の電子部品）

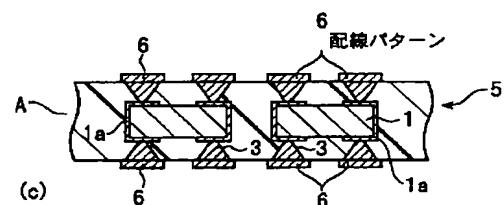
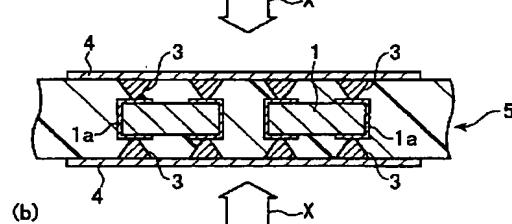
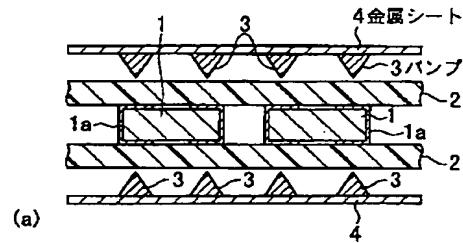
【図4】



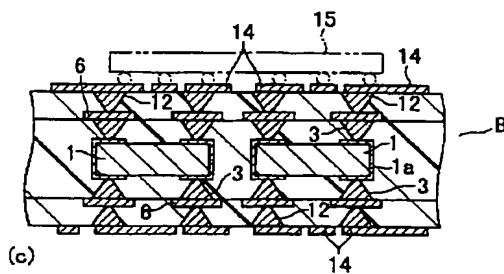
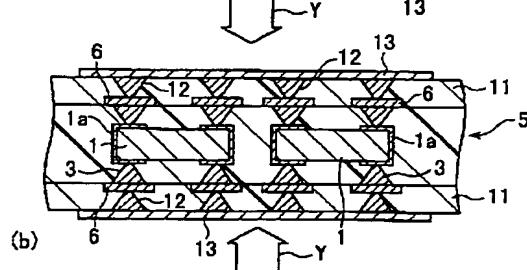
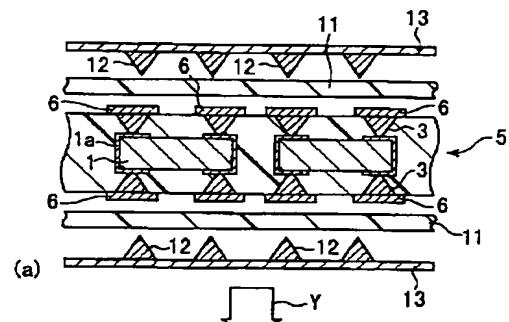
【図1】



【図2】



【図3】



【図5】

